

PARALLEL DATA PROCESSOR

[3]

Veröffentlichungsnummer JP63240667

Veröffentlichungsdatum: 1988-10-06

Erfinder: KITAMURA YOSHIHIRO; MATSUHIRO KAZUYOSHI

Anmelder: NIPPON TELEGRAPH & TELEPHONE

Klassifikation:

- Internationale: G06F15/16; G06F15/177; G06F15/80; G06F15/16;
G06F15/76; (IPC1-7): G06F15/16

- Europäische: G06F15/80A2

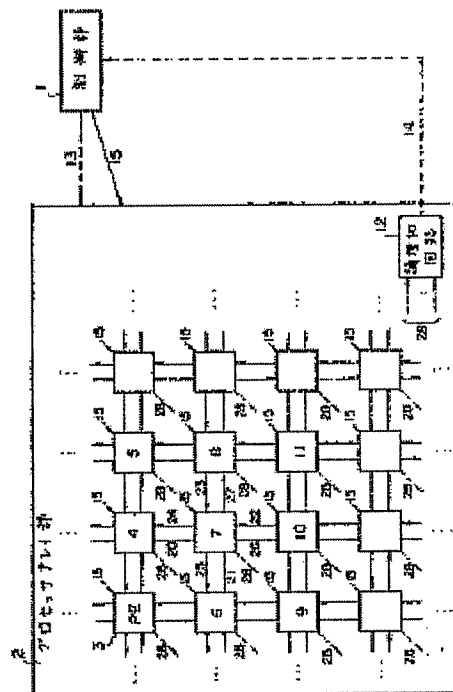
Anmeldenummer: JP19870072993 19870328

Prioritätsnummer(n): JP19870072993 19870328

Datenfehler hier melden

Zusammenfassung von JP63240667

PURPOSE: To directly obtain the data transmission control information on a parallel data processor at high speed by processing in parallel the physical position information on a data sender, a data receiver and a basic data processor PE by means of an inherent mutual connection network such as a processor array device. **CONSTITUTION:** The information on a data sender PE and a data receiver PE as well as the discrimination numbers (transmission line numbers) set to a pair of PE which set a transfer line are stored in each PE. When a transfer line number to be processed is sent to a signal line 15 from a control part 1, the sender PE corresponding to said line number transmits the distance information to an adjacent PE. Furthermore the PE transmitting the distance information sends this information to an adjacent PE. Such operations are repeated so that the distance information received from the sender PE is set at each PE. Based on said distance information, the shortest transmission line is set between the sender PE and the receiver PE. Thus the parallel data processing operations are carried out on a parallel data processor and the data transmission control information can be produced at high speed.



Daten sind von der **esp@cenet** Datenbank verfügbar - Worldwide

⑫ 公開特許公報(A)

昭63-240667

⑮ Int. Cl.⁴

G 06 F 15/16

識別記号

3 9 0

庁内整理番号

T-6745-5B

④ 公開 昭和63年(1988)10月6日

審査請求 未請求 発明の数 1 (全13頁)

⑭ 発明の名称 並列データ処理装置

⑰ 特 願 昭62-72993

⑱ 出 願 昭62(1987)3月28日

⑲ 発 明 者 北 村 美 宏 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

⑳ 発 明 者 松 広 一 良 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

㉑ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉒ 代 理 人 弁理士 星野 恒司 外1名

明 細 書

1. 発明の名称 並列データ処理装置

2. 特許請求の範囲

データ転送機能を有するデータ転送部と、上記データ転送部を通して距離情報を授受し保持する距離情報設定部と、上記距離情報設定部に設定された距離情報により上記データ転送部の制御情報を発生し保持する経路決定部から構成される基本データ処理装置が2次元・3次元等任意の接続関係で複数個結合したアレイ部と、上記アレイ部を制御する制御部を少なくとも持った並列データ処理装置であり、

各PE内の上記データ転送部は、直接結合されている隣接PEの上記データ転送部との間のデータ授受と同一PE内の距離情報決定部・経路決定部との間のデータ授受を行う機能を有し、

各PE内の上記距離情報設定部は、隣接PE間のデータ転送経路を距離の一単位分として、データ転送を開始する転送元PEとから、転送元PE

からデータを受け取る転送先PEへ到るまでのデータ転送経路が未設定のPEに、転送元PEから距離に近い順に、遠近関係が区別可能な番号である距離情報を設定する機能を有し、

各PE内の上記経路決定部は、転送元PE・転送先PEである無しの情報と同一PE内の距離情報と全隣接PEの距離情報から、全隣接PEのうち転送元PEからの距離が一番近い隣接PEを一つ選択し、その情報から上記隣接PEをデータが通るように上記データ転送部を制御するデータ転送路制御データを生成する機能を有し、

上記制御部は、上記距離情報設定部と上記経路決定部の状態を表わす情報を受け、その情報により上記アレイ部のPE間のデータ及び信号の送受を制御する機能を有し、

上記アレイ部内の各PEに保持されたデータ転送部制御データにより複数の転送元PE・転送先PE間のデータ転送を並列に行うことが可能であることを特徴とする並列データ処理装置。

3. 発明の詳細な説明

(発明の属する技術分野)

本発明は、複数の基本処理要素を相互接続し、これら基本処理要素を協調して動作させる並列データ処理装置、特にプロセッサアレイ装置等に関するものである。

(従来の技術)

基本データ処理装置(以下PEと呼ぶ)数が数万個以上のプロセッサアレイ装置では、ハードウェアコスト及び実現技術の問題から、PE間の相互結合ネットワークには、4隣接、8隣接結合等の比較的単純な局所接続のネットワークが多く用いられている。

そのため、あるPEから他のあるPEへ直接データを転送できない場合が生じ、データ転送を開始するPE(転送元PEと呼ぶ)と転送先PEからデータを受け取るPE(以下転送先PEと呼ぶ)との間の途中のPEを経由してデータ転送しなければならない。従って、複数のデータ転送路をお互いに交わらないように設定しなければならない。

これは一種の配線問題であり、これを解くには

な位置情報を並列処理することにより当該装置上で直接的に高速に求めることを目的としている。

(発明の構成)

(発明の特徴と従来技術との差異)

本発明はそのため、当該装置に与えられた相互接続ネットワークを通して、転送元PEから直接結合されているPE(以下隣接PEと呼ぶ)へ一単位分の距離だけ離れていることを示す遠近関係が区別可能な番号(これを距離情報と呼ぶ)を伝搬し、その距離情報を伝搬されたPEがまた隣接PEへ距離情報を伝搬する操作を繰り返すことによって、各PEに転送元PEから何単位分の距離だけ離れているかを示す距離情報を設定し、その情報をもとにして転送先PEから全隣接PEの内、転送元PEからの距離が一番小さいと判断されるPEの一つを選択することにより経路を決定する。

その選択されたPEがまた全隣接PEの内、転送元PEからの距離が一番小さいと判断されるPEの一つを選択することにより経路を決定するという操作を繰り返すことによって、転送元・転送

処理時間を要する。

この種のプロセッサアレイ装置を用いて任意のPE間のデータ転送を同時に並列に行う場合、従来は、幾つかのプロセッサアレイ装置においては各PEのデータ転送部機能がプログラムにより制御可能になっており、事前にプログラムを設定しておく必要がある。

この場合、一部の規則的な並列処理を基本とした応用を除いて、従来は、並列処理効率を大きく左右するPE間データ転送路の設定等の不備のために処理速度が著しく低下したり、データ転送路の設定を最適に行うための前処理を汎用計算機上で行い多くの時間を費やすなど、必ずしも装置の並列処理能力を生かすことができなかった。

(発明の目的)

本発明は、プロセッサアレイ装置等における任意の位置の複数の転送元・転送先PE間のデータ転送を実現するためのデータ転送路制御データを、上記プロセッサアレイ装置等の固有の相互接続ネットワークを用いて転送元・転送先PEの物理的

先PE間のデータ転送を可能とする最短の転送路が設定され、次に、この設定された転送路全体を転送元PEとし、残りの転送先PEに対して転送路設定処理を行うことを繰り返すことによって、一つの転送元PEと複数の転送先PE間のデータ転送を可能とする最短の転送路が設定され、この設定された転送路を障害物として、他の転送元PE・転送先PE間のデータ転送路の設定を行うことを繰り返すことによって複数の転送元PE・転送先PE間のデータ転送路の設定を可能とし、転送路決定データを、ホスト計算機で作製しそれを当該プロセッサアレイ装置上にロードする操作をすることなく、当該プロセッサアレイ装置上で並列処理を行い高速に作成することが可能であることを特徴とする。

(実施例)

次に本発明の実施例について説明する。なお、実施例は、一つの例であって、本発明の主旨を逸脱しない範囲で種々の変更あるいは改良を行い得ることは言うまでもない。

第1図は本発明の一実施例を示す構成図であり、1は制御部、2はプロセッサアレイ部、3～11はPE、12は論理和回路である。

プロセッサアレイ部2は、PE3と同じ回路が2次元状に結合されて構成され、各PEからの制御部1への出力は信号線28により論理和回路12で論理和がとられ、これがプロセッサアレイ部のコンディションコードとなり、信号線14により制御部1へ送られる。制御部1はプロセッサアレイ部2の各PEに、信号線13により共通の制御命令を与える。15は制御部1から各PEへの信号線である。

第2図はPE7の構成図であり、30はデータ転送部、31は距離情報設定部、32は経路決定部である。

第3図はデータ転送部の構成であり、20～27はデータ転送部30から隣接PEのデータ転送部へのデータ線で、20～23は入力用、24～27は出力用である。また35～43はPE内部の信号線である。

100は隣接PEのデータ転送部から入力される

データ、302は障害物フラグレジスタ、303は経路状態レジスタ、304は一方向選択器、305は転送制御データ変換器、306は転送制御データバッファレジスタ、307、310はマルチプレクサ、308は論理積回路、309は否定回路である。

PE3～11(7を除く)や他のPEについてもデータ転送部、距離情報設定部、経路決定部はPE7と同様である。なお、信号線については共用して用いることができるものもある。

第6図はあるPEとその4隣接PEとの結合関係を示している。

隣接PE4,6,10,8について、50,60,70,80はデータ転送部、51,61,71,81は距離情報設定部、52,62,72,82は経路決定部である。

以上の回路を用いてデータ転送路自動設定処理を行う手順を以下に示す。

以下の処理ステップは前PEが同時に実行する。これを、第7図、第8図、第9図を用いて説明する。第7図は前進探索処理、第8図は後退探索処理、第9図は多端子処理における各PE内の距離

データを選択するマルチプレクサ、101はマルチプレクサ、102は入力データを蓄えるバッファレジスタ、103はマルチプレクサ、104,105,106,107はマルチプレクサ、110,111は外部接続端子、120～122、130～133はマルチプレクサの入力端子である。

第4図は距離情報設定部の構成図であり、200は論理和回路、201は距離情報を格納する距離情報レジスタ、202は3種類の数値1,2,3を1,2,3,1,2,3,の順に環状にインクリメントする機能を持つ距離情報発生器、203は元ウェーブフロントフラグレジスタ、204はウェーブフロントフラグレジスタ、205はソースフラグレジスタ、206はデスティネーションフラグレジスタ、207はカレント端子フラグレジスタ、208は転送路番号レジスタ、209は比較器、210,211,220はマルチプレクサ、212,213,214,215,216,217は論理積回路、218,219は否定回路である。

第5図は経路決定部の構成図であり、300は論理和回路、301はトレースポイントフラグレジス

情報レジスタの内容を示し、桁目はPEの配置に対応する。

ステップ1ー前処理

ステップ1ー1: 転送路設定処理を行うPEの組に対する識別番号(転送路番号)、転送元PE、転送PEの情報は、事前にそれぞれ、転送路番号レジスタ208、ソースフラグレジスタ205、デスティネーションフラグレジスタ206に格納されているものとする。

ソースフラグレジスタ205、デスティネーションフラグレジスタ206は、そのPEがそれぞれ転送元、転送先になる場合1になる。転送先は複数個の場合がある。これ以外のレジスタはバッファレジスタ102、障害物フラグレジスタ302を除きすべて0クリアする。

ステップ2ー処理対象設定

ステップ2ー1: 制御部1から処理の対象とする転送番号を信号線15により距離情報設定部31に送り、転送路番号レジスタ208の出力と比較器209

により比較し、一致すれば、カレント端子フラグレジスタ207に1を設定する。(第7図(1))

図中s, dはそれぞれ転送元PE、転送先PEを示す。

また、ハッチは伝送路としてすでに設定されているPEで、障害物フラグレジスタ302が1である。第7図では転送先が1個の場合を例示する。

ステップ3-前進探索処理

ステップ3-1: 最初のウェーブフロントを決定し、最初の距離情報を設定する(第7図(2)): まずソースフラグレジスタ205とカレント端子フラグレジスタ207の出力の論理積を論理積回路216でとり、障害物フラグレジスタ302の否定を否定回路218でとり、それらの論理積を論理積回路212でとり、その出力をウェーブフロントフラグレジスタ204と元ウェーブフロントフラグレジスタ203に設定する。

すなわち、転送路番号が転送路番号シフトレジスタ208の内容と一致し、転送元であり、かつ転

の出力を信号線35よりデータ転送部30を通して隣接PE4, 6, 8, 10のデータ転送部50, 60, 80, 70へ送ると同時に、隣接PE4, 6, 8, 10のデータ転送部50, 60, 80, 70から信号線36より送られてきたウェーブフロントフラグレジスタの出力の論理和を論理和回路200でとり、元ウェーブフロントフラグレジスタの否定を否定回路219でとり、両者の論理積を論理積回路213でとり、障害物フラグレジスタ302を信号線41より入力し、その否定を否定回路218でとり、マチルプレクサ211を通る論理積回路213の出力と否定回路218の出力の論理積を論理積回路212でとり、その出力をウェーブフロントフラグレジスタ204と元ウェーブフロントフラグレジスタ203に設定する。

すなわち、隣接PEのいずれかにウェーブフロントフラグレジスタが1が設定されており、まだ元ウェーブフロントフラグレジスタ203が1になっておらず、転送路として未設定であるPEのウェーブフロントフラグレジスタ204及び元ウェーブフロントフラグレジスタ203が1に設定される。

送路として未設定であるPEをウェーブフロントレジスタ204及び元ウェーブフロントレジスタ203に1をたてる。

元ウェーブフロントフラグレジスタ203は、一度1が設定されると、ステップ1の前処理で0クリアされない限り設定が変更されない回路になっている。

距離情報発生器202は、1, 2, 3, 1, 2, 3と環状にインクリメントする機能を持ち、最初に初期値たとえば1を発生し、それを距離情報レジスタ201に設定する。すなわち、転送元の距離情報レジスタ201に1が設定される。

ステップ3-2: ウェーブフロントを移動させ、距離情報を設定する(第7図(3)~(9)): ウェーブフロントレジスタ204については、転送元PEを源として順次隣接PEに1なる波を波及していき、波の最先端になるPEのみに1を設定する。

元ウェーブフロントレジスタ203については、一度波の最先端になったPEは1に設定される。

PE7のウェーブフロントフラグレジスタ204

同時にウェーブフロントフラグレジスタ204が1に設定されていた隣接PEのウェーブフロントレジスタは0に設定される。

この結果、波の最先端になるPRのみウェーブフロントフラグレジスタが1である。

それと同時に、距離情報発生器202は一つインクリメントした値を距離情報レジスタ201に送り、論理和回路200の出力が距離情報レジスタ201のライトイネーブルに入り距離情報レジスタ201の内容を更新するか否かを制御する。

すなわちウェーブフロントフラグレジスタ204が1に設定されるPEには距離情報レジスタ201の内容が更新され、転送元の隣接PEなら3等々に設定される。それ以外のPEの距離情報レジスタの内容は不変である。

この様相が第7図(3)~(9)に示される。

なお、ウェーブフロントが1のPEを斜めの実線で繋ぎ示す。

また、デスティネーションフラグレジスタ206とカレント端子フラグレジスタ207の論理積を

論理積回路217でとり、これと論理和回路200の出力との論理積を論理積回路214でとり、それを信号線28、論理和回路12、信号線14を通して制御部1と信号線42によりトレースポイントフラグレジスタ301と経路状態レジスタ303に送り、この値が0のとき制御部1は制御をステップ3-2へ戻し、値が1のときステップ4へ制御を移す。

すなわち、転送路番号が転送路番号レジスタ208の内容と一致し、転送先であり、かつ、ウェーブフロントフラグレジスタ204が1に設定されたP Eが存在しない限り、同様の操作によってウェーブフロントが隣接P Eへ移動を続け、上記P Eが存在すれば次のステップに移行する。

また、上記P Eが存在すれば、そのP Eがトレースポイントに設定される。

ステップ4-後退探索処理

ステップ4-1：一方向の選択を行う(第8図(1))：距離情報レジスタ201の内容を信号線42により同一P E内の一方向選択器304に入力すると同時

に、マルチプレクサ210、信号線35、マルチプレクサ103を通り、マルチプレクサ104、105、106、107及びデータ線24~27を通して隣接P Eのデータ転送部50、60、70、80を経由して、データ線20~23、信号線27より各隣接P Eの経路決定部52、62、72、82の一方向選択器にそれぞれ入力する。

一方向選択器304は、隣接P Eから送られてきた各距離情報レジスタの内容の中から、同一P E内の距離情報レジスタ201の内容の一つデクリメントした値と等しい内容(距離情報レジスタの内容が1のときは3)を持った方向を選び、さらに、それが複数個存在した場合に、その中の一つを選択し、その方向の情報を転送制御データ変換器305で保持すると同時にデータ制御部制御用データに変換し、転送制御データバッファレジスタ306に格納する。

すなわち、各P Eは隣接P Eより、距離情報レジスタ201の内容が1つ小さいP E(データを転送してもらわなければならないP E)を選択し、そのP Eと当該P Eを経路として接続するための制御情報を転送

制御データバッファレジスタ306に格納する。

複数の方向から一方向を選択する方法は、例えば、予め各方向にプライオリティを決めておき、その順序を選択する方法を用いる。

第8図(1)は各P Eの距離情報レジスタ201の内容と、選択された一方向(矢印)を示す。□は経路状態レジスタ303が1のP Eで転送先P Eと一致する。

また、障害物フラグレジスタ302の出力は否定回路309を通り転送制御データバッファレジスタ306のライトイネーブルに入るので、転送制御データバッファレジスタ306は障害物フラグレジスタ302が一度1になると、すなわち、そのP Eが経路として設定されると、障害物フラグレジスタ302を0クリアするまで書き換えができない。

ステップ4-2：トレースポイントを移動させ、経路を決定する(第8図(2)~(8))：転送先P Eを源として順次隣接P Eのうちデータを転送してもらうべきP Eを追跡し、転送先P Eに至るまで追跡を続け、経路とする。

なお、ステップアースで転送先P Eのトレースポイントフラグレジスタ301に1が設定されている。そしてトレースポイントフラグレジスタ301の内容を信号線43、マルチプレクサ103を通して、また、転送制御データ変換器305から、信号線38により制御情報を送り、その結果選択した一方向のみ1になっている情報をデータ転送部30に送り、マルチプレクサ104、105、106、107及びデータ線24~27、20~23を通して各方向の隣接P Eのデータ転送路50、60、70、80にフラグを送り、信号線39により隣接P Eの経路決定部52、62、72、82へ送る。

経路決定部は隣接P Eから来たその情報の論理和を論理和回路300でとり、それをトレースポイントフラグレジスタ301に設定すると同時に経路状態レジスタ303に設定する。

すなわち、経路として設定されるべく選択されたP Eのトレースポイントフラグレジスタ301及び経路状態レジスタ303に1が設定される。

トレースポイントを隣接P Eに移したP Eのト

レースポイントフラグレジスタ301の内容は、論理和回路の出力が0となるので0に変化する。

経路状態レジスタ303は一度1になると0クリアするまで書き換えできない。また、ソースフラグレジスタ205とカレント端子フラグレジスタの論理積を論理積回路216でとり、これと、この論理和回路300の出力の論理積を論理積回路308でとり、信号線28、論理和回路12、信号線14を通してこれを制御部1へ送り、制御部1はこの値が0の時ステップ4-2へ制御を戻し、1の時ステップ4-3へ制御を移す。

すなわち、転送路番号が転送路番号レジスタ208の内容と一致し、転送元であり、かつ、トレースポイントフラグレジスタ301が1に設定されたPEが存在しない限り、同様の操作によってトレースポイントがデータを転送してもらうべき隣接PEへ移動を続け、上記PEが存在すれば次のステップへ移行する。

第8図(2)~(8)の口は経路状態レジスタ303が1のPEであり、矢印はトレースポイントの移動

スタ303の内容をソースフラグレジスタ205とカレント端子フラグレジスタ207に設定する。ステップ3へ制御を移す。

第9図(1)は経路全体をソース端子としたことを示し、(2)~(9)はステップ3, 4の前進探索処理、後退探索処理を示す。これらの処理を繰り返すことにより順次新たな転送先に対する経路が設定される。全ての転送先に対し経路が設定されれば次のステップに移行する。

ステップ5-障害物設定処理

ステップ5-1：求めた経路全体を障害物とする：経路状態レジスタ303の内容を障害物フラグレジスタ302に設定する。

これにより、求めた転送路制御情報を破壊せず次の一組の転送路設定処理を行うことができる。

すなわち、一度経路に設定されたPEは、以後の転送路設定処理においては第7図~第9図のハッチのあるPEのように、新たな転送路に設定されることはない。

元の方角を示す。

ステップ4-3：一組の転送路設定後終了チェック：これまでは転送先PEが1個の場合を説明してきたが、転送先PEが複数の場合には、他に転送先PEがあるか否かをチェックする。

デスティネーションフラグレジスタ206とカレント端子フラグレジスタの論理積を論理積回路217でとり、それと経路状態レジスタの内容の否定との論理積を論理積回路215でとり、信号線28、論理和回路12、信号線14を通してこれを制御部1へ送り、制御部1はこの値が0の時ステップ4-4へ制御を移し、1の時ステップ5へ制御を移す。

すなわち、他に転送先PEがなければ前者のステップに、あれば後者のステップに移行する。同時にウェーブフロントが複数のPEに到達した場合は、分岐点となるPEまでトレースポイントはそれぞれ異なる経路で移動し、分岐点から先は同じ経路で移動する。

ステップ4-4：求めた経路全体をソース端子とし、多端子処理に移る(第9図)：経路状態レジ

転送路番号に対応する経路が設定されると新たな転送路番号が転送路番号レジスタ208に設定される。すべての経路が設定されるまで障害物フラグレジスタ302はクリアされない。

次に、上記手順で生成した転送制御データを用いてデータ転送を行う方法を説明する。

転送データは予めデータ転送部30内の外部接続端子110からマルチプレクサ101を通してバッファレジスタ102に格納されている。転送データの制御は、マルチプレクサ100、101、103を信号線40を通して転送制御データバッファレジスタ306の内容で制御することによって行われる。

ソースPEはマルチプレクサ103の入力端子131を選択し、デスティネーションPEはマルチプレクサ101の入力端子120を選択し、それ以外のPEはマルチプレクサ101の入力端子121、マルチプレクサ103の入力端子130を選択し、さらに、各PEはマルチプレクサ100でデータを入力する隣接PEの方角を選択する。

これにより、ソースPEのバッファレジスタか

らデスティネーションPEのバッファレジスタまでのデータ転送経路が確保される。

第10図にその経路を示す。

すなわち、経路の選択はPEの入力側で決定され、出力側には無関係である。

入力側で選択されるため、1つの転送元から複数の転送先への経路を形成できる。

(発明の効果)

以上説明したように、本発明によれば、プロセッサアレイ装置上の任意のプロセッサ間のデータ転送経路を、プロセッサアレイ装置自身が自動的に確立することを可能とする。

すなわち、プロセッサアレイ装置間の固有の相互接続ネットワークを用いて転送先・転送先PEの物理的な位置情報を並列処理することにより、当該装置上で直接的に高速に求めることができる。

この機構の外部接続端子110、111に、情報を処理・加工する種々の演算器を接続することにより、それに対応した種々のネットワーク(ノード(プロセッサに対応)とリンク(経路に対応)から成る)を

このプロセッサアレイ上にアサインすること(すなわち、各PEにノードをアサインし、ノード間のリンクを本発明によって自動的に確立すること)を容易に実現でき、これらのネットワーク上のデータ処理及びデータ転送を並列に行うことができるという利点がある。

たとえば、論理回路を一種のネットワーク(論理ゲートをノード、論理ゲート間の結線をリンクとする)と考えると、それに対応する演算器を付加した本装置にこのネットワークをアサインすると、論理シミュレーションの並列処理を高速に行うことができる。

なお、PE内は本発明の説明に必要なデータ転送部、距離情報設定部、経路決定部のみを記載したが、その他に演算器等、を含む場合についても本発明を適用可能である。

4. 図面の簡単な説明

第1図は本発明を4隣接結合のプロセッサアレイを用いて装置化した一実施例の構成を示す図、

第2図は第1図中のPE部の一実施例の構成部、

第3図は第2図中のデータ転送部の構成図、
第4図は第2図中の距離情報設定部の構成図、
第5図は第2図中の経路決定部の構成図、
第6図は第1図中の複数のPE部の互いの結合関係を示した実施例を示す図、

第7図は実施手順の中の前進探索処理について処理の段階毎に結果を示した一例を示す図、

第8図は実施手順の中の後退探索処理について第7図で示した結果を用いて処理段階毎に結果を示した例を示す図、

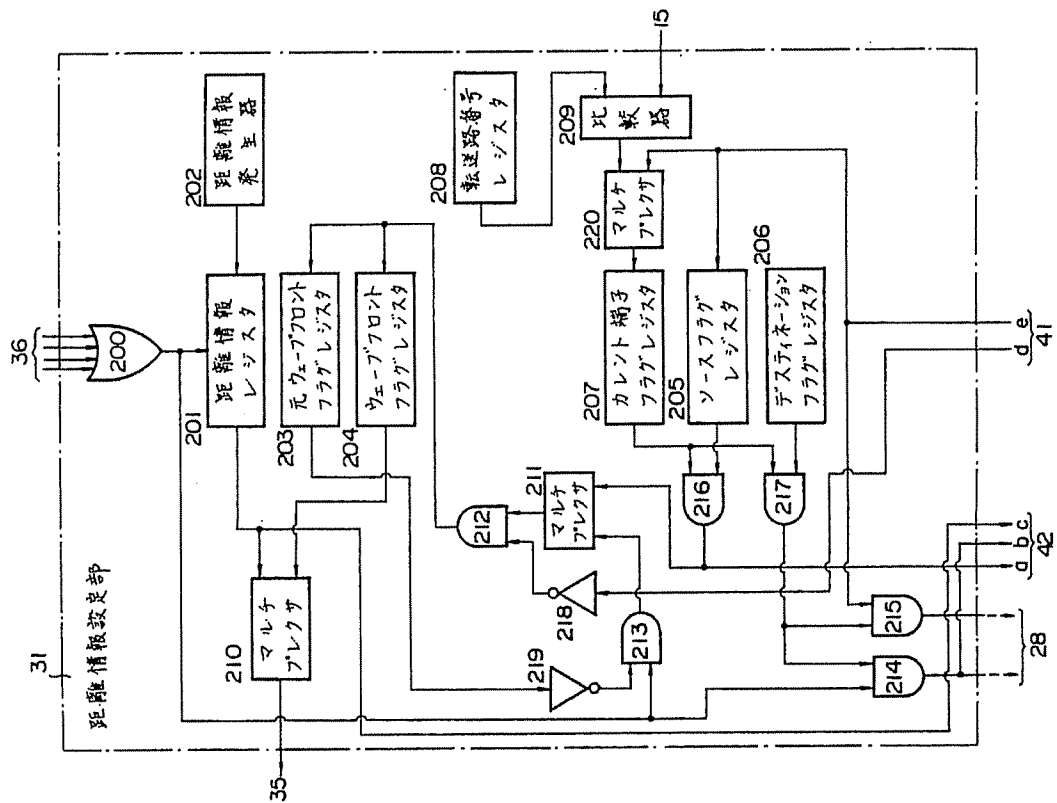
第9図は実施例手順の中の多端子処理について第8図で示した結果を用いて処理の段階毎に結果を示した例を示す図、

第10図は第9図で示した結果を転送制御データに変換して、それによりPE部のマルチプレクサを制御し、データが転送される様子を示した例を示す図である。

1 … 制御部、2 … プロセッサアレイ部、
3～11 … PE、12 … 論理和回路、
13,14,15,28,35,36,42 … 信号線、

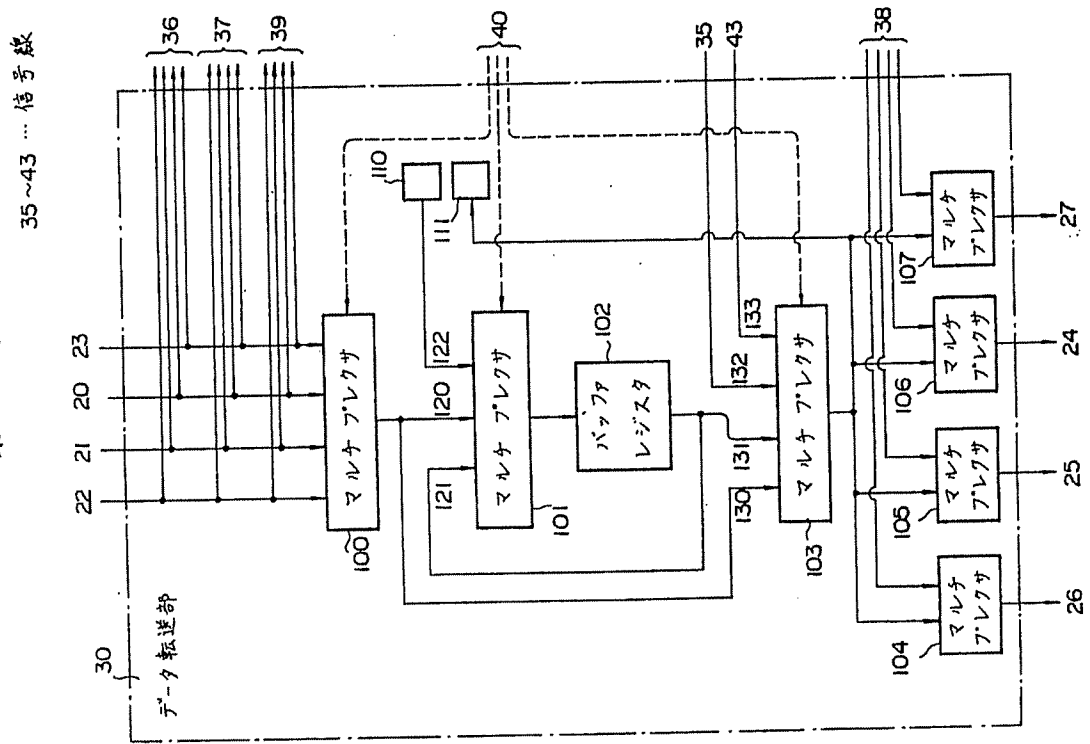
30,50,60,70,80 … データ転送部、
31,51,61,71,81 … 距離情報設定部、
32,52,62,72,82 … 経路決定部、
100,101,103～107,120～122,130～133,210,
211,220,307,310 … マルチプレクサ、
102 … バッファレジスタ、
110,111 … 外部接続端子、
200,300 … 論理和回路、
201 … 距離情報レジスタ、
202 … 距離情報発生器、
203 … 元ウェーブフロントフラグレジスタ、
204 … ウェーブフロントフラグレジスタ、
205 … ソースフラグレジスタ、
206 … デスティネーションフラグレジスタ、
207 … カレント端子フラグレジスタ、
208 … 転送路番号レジスタ、209 … 比較器、
212～217,308 … 論理積回路、
218,219 … 否定回路、
301 … トレースポイントフラグレジスタ、
302 … 障害物フラグレジスタ、

無
△
☒

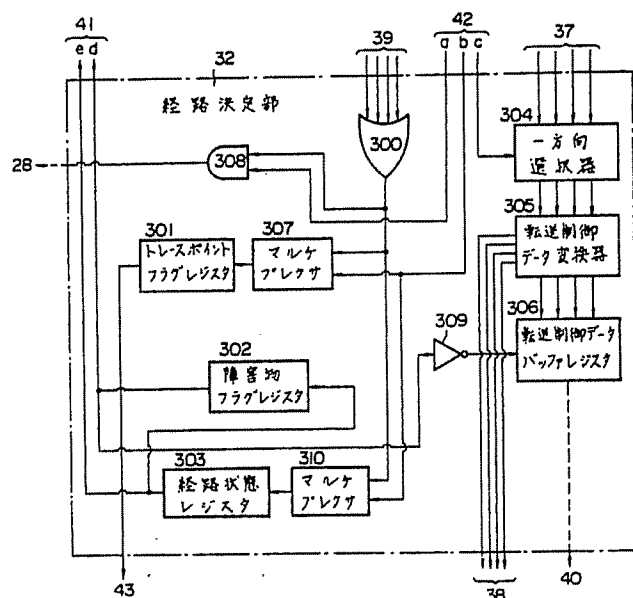


200... 論理和回路 212~217... 論理積回路
218, 219... 否定回路

三張



第 5 図

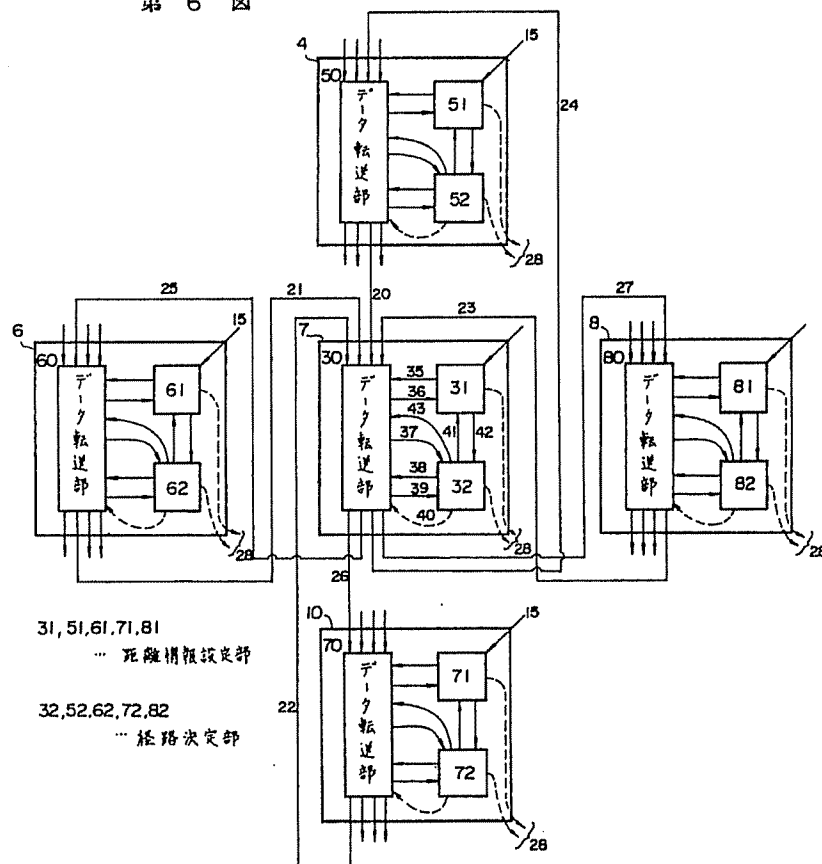


300…論理和回路

308…論理積回路

309…否定回路

第 6 図

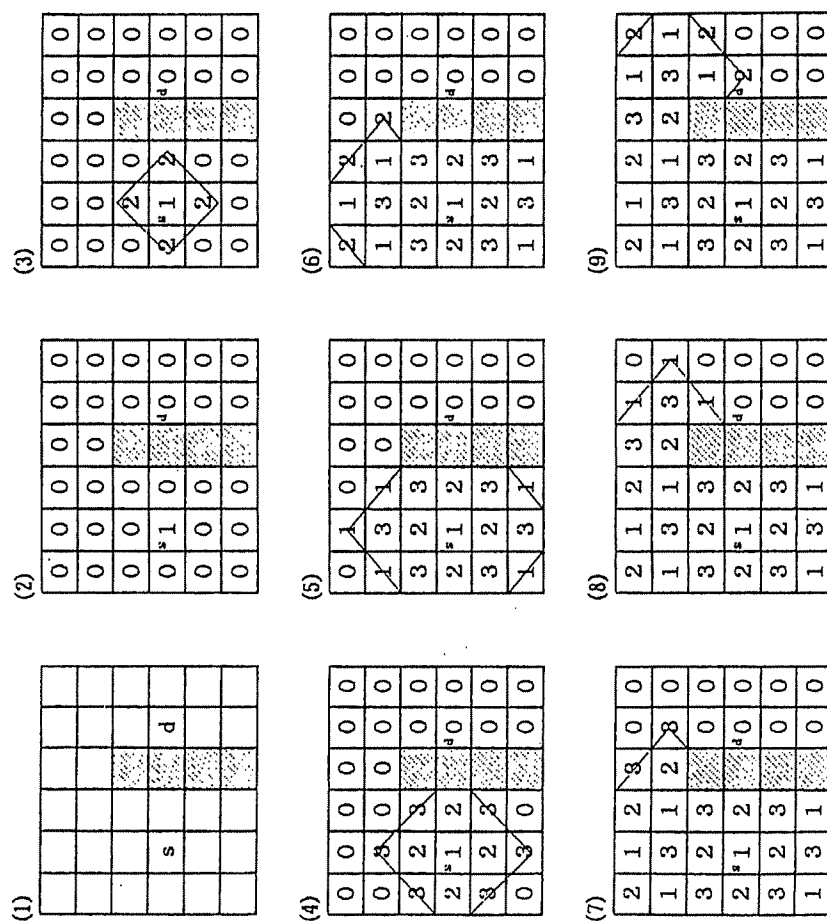


31, 51, 61, 71, 81
…距離情報設定部

32, 52, 62, 72, 82
…経路決定部

第 7 図

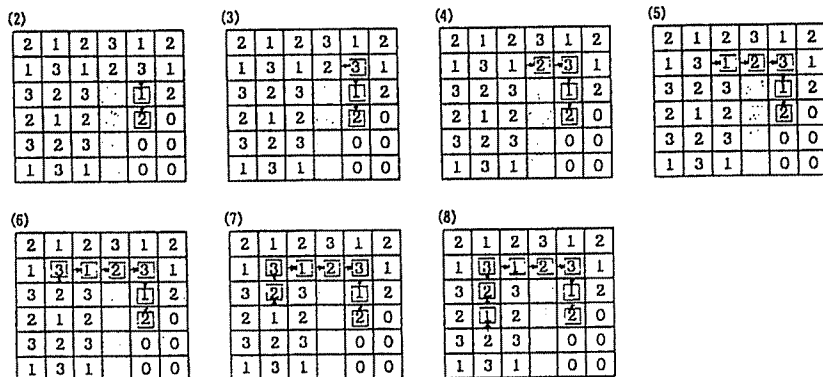
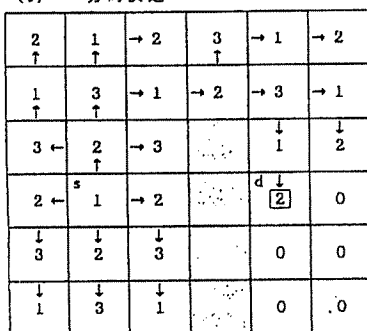
前進探索処理



第 8 図

後退探索処理

(1) 一方向決定



第 9 図

多端子処理

前進探索処理

(1)

	s	s	s	s				
	s			s			d	
	s			s				

(2)

0	0	0	0	0	0	0	0	0
0	*1	*1	*1	*1	0	0	0	0
0	*1	0		*1	0	0	0	0
0	*1	0		*1	0	0	0	0
0	0	0		0	0	0	0	0
0	0	0		0	0	0	0	0

(3)

0	2	2	2	2	0	0	0	0
2	*1	*1	*1	*1	2	0	0	0
2	*1	2		*1	2	0	0	0
2	*1	2		*1	2	0	0	0
0	2	0		2	0	0	0	0
0	0	0		0	0	0	0	0

(4)

3	2	2	2	2	3	0	0	0
2	*1	*1	*1	*1	2	3	0	0
2	*1	2		*1	2	3	0	0
2	*1	2		*1	2	3	0	0
3	2	3		2	3	0	0	0
0	3	0		3	0	0	0	0

(5)

3	2	2	2	2	3	1	0	0
2	*1	*1	*1	*1	2	3	1	0
2	*1	2		*1	2	3	*1	0
2	*1	2		*1	2	3	1	0
3	2	3		2	3	1	0	0
1	3	1		3	1	0	0	0

第 9 図

後退探索処理

(6)

3	2	2	2	2	→3	→1	0	0
2	1	1	1	1	→2	→3	→1	0
2	1	→2		1	→2	→3	→1	0
2	1	→2		1	→2	→3	→1	0
3	2	3		2	3	1	0	0
1	3	1		3	1	0	0	0

(7)

3	2	2	2	2	3	1	0	0
3	1	1	1	1	2	3	1	0
2	1	2		1	2	→3	→1	0
2	1	2		1	2	3	1	0
3	2	3		2	3	1	0	0
1	3	1		3	1	0	0	0

(8)

3	2	2	2	2	3	1	0	0
2	1	1	1	1	2	3	1	0
2	1	2		1	→2	→3	→1	0
2	1	2		1	2	3	1	0
3	2	3		2	3	1	0	0
1	3	1		3	1	0	0	0

(9)

3	2	2	2	2	3	1	0	0
2	1	→1	→1	→1	2	3	1	0
2	1	2		1	→2	→3	→1	0
2	1	2		1	2	3	1	0
3	2	3		2	3	1	0	0
1	3	1		3	1	0	0	0

第 10 図

